



日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月16日

出願番号

Application Number:

特願2001-076117

出願人

Applicant(s):

三洋電機株式会社

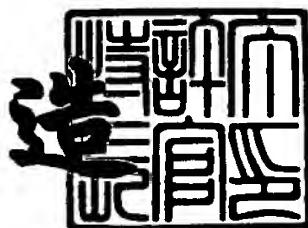
102300 MAIL ROOM  
SEP 13 2001

RECEIVED

2001年 5月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕



出証番号 出証特2001-3047013

【書類名】 特許願

【整理番号】 KIA1010034

【提出日】 平成13年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 谷口 敏光

【発明者】

【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株式会社内

【氏名】 降矢 滋行

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【先の出願に基づく優先権主張】

【出願番号】 特願2000-220697

【出願日】 平成12年 7月21日

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体上に異なる膜厚を有する第1及び第2の酸化膜を形成する半導体装置の製造方法において、

第2の酸化膜形成領域上に耐酸化性膜を形成した後に第1の酸化膜形成領域上に第1の酸化膜を形成する工程と、

前記耐酸化性膜を除去した後に前記第2の酸化膜形成領域上に第2の酸化膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1及び第2の酸化膜は、それぞれ第1及び第2のトランジスタのゲート酸化膜を構成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体上に形成した異なる膜厚を有する第1及び第2のゲート酸化膜上にそれぞれ第1及び第2のトランジスタを形成する半導体装置の製造方法において、

第2のトランジスタ形成領域上に耐酸化性膜を形成する工程と、

前記耐酸化性膜をマスクに熱酸化して第1のトランジスタ形成領域上に第1のゲート酸化膜を形成する工程と、

前記第2のトランジスタ形成領域上の前記耐酸化性膜を除去した後に熱酸化して前記第2のトランジスタ形成領域上に第2のゲート酸化膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項4】 半導体上に形成した異なる膜厚を有する第1及び第2のゲート酸化膜上にそれぞれ第1及び第2のトランジスタを形成する半導体装置の製造方法において、

前記半導体上に形成した素子分離膜をマスクに熱酸化して第1及び第2のトランジスタ形成領域上に酸化膜を形成する工程と、

全面に耐酸化性膜を形成した後にフォトレジスト膜をマスクにして第1のトランジスタ形成領域上の当該耐酸化性膜を除去する工程と、

前記耐酸化性膜をマスクにして前記第1のトランジスタ形成領域上の酸化膜を

除去した後に当該耐酸化性膜をマスクに熱酸化して前記第1のトランジスタ形成領域上に第1のゲート酸化膜を形成する工程と、

前記第2のトランジスタ形成領域上の前記耐酸化性膜及び前記酸化膜を除去した後に熱酸化して前記第2のトランジスタ形成領域上に第2のゲート酸化膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項5】 前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも膜厚が厚く、当該第1のゲート酸化膜上には高耐圧MOSトランジスタが形成され、当該第2のゲート酸化膜上には通常耐圧MOSトランジスタが形成されることを特徴とする請求項3または請求項4に記載の半導体装置の製造方法。

【請求項6】 前記フォトレジスト膜をマスクに前記第1のトランジスタ形成領域上に形成した前記耐酸化性膜を除去する工程では、前記半導体表層を露出させないことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】 前記第1のトランジスタの形成工程が、一導電型の半導体内に逆導電型不純物をイオン注入して低濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記半導体内に逆導電型不純物をイオン注入して前記低濃度の逆導電型ソース・ドレイン層内に高濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記半導体内に一導電型不純物をイオン注入して前記逆導電型ソース層と前記逆導電型ドレイン層間に位置するチャネルを構成する一導電型の半導体層を形成する工程と、

前記半導体上に第1のゲート酸化膜を介して第1のゲート電極を形成する工程とを具備したことを特徴とする請求項3または請求項4に記載の半導体装置の製造方法。

【請求項8】 前記低濃度の逆導電型ソース・ドレイン層の形成工程が、イオン注入法により前記ゲート電極下方に形成された半導体層に接するように形成することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記低濃度の逆導電型ソース・ドレイン層の形成工程が、少なくともイオン注入法により前記ゲート電極下方に形成された前記半導体層に接するように前記半導体表層に浅く拡張形成することを特徴とする請求項7に記載

の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、更に言えば、膜厚の異なる複数種のゲート酸化膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

以下、従来の半導体装置の製造方法について図面を参照しながら説明する。

【0003】

尚、以下の説明では、半導体基板上に厚い酸化膜と薄い酸化膜から成る2種類の膜厚を有し、厚い酸化膜上に高耐圧MOSトランジスタを形成し、薄い酸化膜上に通常耐圧MOSトランジスタを形成して成る半導体装置の製造方法を紹介する。

【0004】

先ず、既知のLOCOS技術により一導電型の半導体基板、例えばP型のシリコン基板101上に形成した酸化膜及びシリコン窒化膜をマスクにして、LOCOS膜から成る素子分離膜102を形成する（図17（a）参照）。

【0005】

次に、前記酸化膜及びシリコン窒化膜を除去した後に、図17（b）に示すように前記素子分離膜102をマスクに熱酸化して前記基板101上に厚いゲート酸化膜103を形成する。

【0006】

続いて、図17（c）に示すように一方（高耐圧MOSトランジスタ形成領域上）の厚いゲート酸化膜103上にフォトトレジスト膜104を形成した後に、当該フォトトレジスト膜104をマスクに他方（通常耐圧MOSトランジスタ形成領域上）の厚いゲート酸化膜103を除去する。

【0007】

更に、前記フォトトレジスト膜104を除去した後に、図18（a）に示すよう

に熱酸化して前記厚いゲート酸化膜103が除去された通常耐圧MOSトランジスタ形成領域上に薄いゲート酸化膜105を形成する。

【0008】

そして、図18(b)に示すように厚いゲート酸化膜103及び薄いゲート酸化膜105上にゲート電極用の導電膜を形成した後に、当該導電膜をパターニングしてゲート電極106A, 106Bを形成する。

【0009】

そして、前記ゲート電極106A, 106Bに隣接するようにそれぞれN型の不純物領域(ソース・ドレイン領域107, 108, 109, 110)を形成し、以下、図示した説明は省略するが、それらを被覆するように層間絶縁膜を形成した後に、前記ソース・ドレイン領域107, 108, 109, 110にコンタクト孔を介してコンタクトする金属配線を形成することで、厚いゲート酸化膜103上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜105上に通常耐圧MOSトランジスタを形成している。

【0010】

【発明が解決しようとする課題】

しかしながら上記プロセスでは、厚いゲート酸化膜103をエッティングする時に、素子分離膜102もエッティングされてしまうため(図17(c)の矢印C参照)、当該素子分離膜102が薄くなり、素子分離能力が低下するといった問題があった。

【0011】

また、フォトレジスト膜104をマスクにして厚いゲート酸化膜103をエッティングしているため、シリコン基板101が前記フォトレジスト膜の有機物等で汚染され、その汚染されたシリコン基板101上を熱酸化して形成する薄いゲート酸化膜105の膜質の信頼性が低下するといった問題があった。

【0012】

【課題を解決するための手段】

そこで、上記課題に鑑み本発明の半導体装置の製造方法は、半導体上に異なる膜厚を有する第1及び第2のゲート酸化膜を形成するものにおいて、第2のゲ

ト酸化膜形成領域上に耐酸化性膜を形成した後に、当該耐酸化性膜をマスクに熱酸化して第1のゲート酸化膜形成領域上に第1のゲート酸化膜を形成する工程と、前記耐酸化性膜を除去した後に、熱酸化して前記第2のゲート酸化膜形成領域上に第2のゲート酸化膜を形成する工程とを具備したことを特徴とする。

## 【0013】

また、本発明の半導体装置の製造方法は、半導体上に形成した素子分離膜をマスクに熱酸化して第1及び第2のトランジスタ形成領域上に酸化膜を形成する工程と、全面に耐酸化性膜を形成した後にフォトトレジスト膜をマスクにして第1のトランジスタ形成領域上の当該耐酸化性膜を除去する工程と、前記耐酸化性膜をマスクにして前記第1のトランジスタ形成領域上の酸化膜を除去した後に、当該耐酸化性膜をマスクに熱酸化して前記第1のトランジスタ形成領域上に第1のゲート酸化膜を形成する工程と、前記第2のトランジスタ形成領域上の前記耐酸化性膜及び前記酸化膜を除去した後に、熱酸化して前記第2のトランジスタ形成領域上に第2のゲート酸化膜を形成する工程とを具備したことを特徴とする。

## 【0014】

そして、前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも膜厚が厚く、当該第1のゲート酸化膜上には高耐圧MOSトランジスタが形成され、当該第2のゲート酸化膜上には通常耐圧MOSトランジスタが形成されることを特徴とする。

## 【0015】

更に、前記フォトトレジスト膜をマスクに前記第1のトランジスタ形成領域上に形成した前記耐酸化性膜を除去する工程では、前記半導体表層を露出させないことを特徴とする。

## 【0016】

また、前記第1のトランジスタの形成工程が、一導電型の半導体内に逆導電型不純物をイオン注入して低濃度の逆導電型ソース・ドレイン層を形成する工程と、前記半導体内に逆導電型不純物をイオン注入して前記低濃度の逆導電型ソース・ドレイン層内に高濃度の逆導電型ソース・ドレイン層を形成する工程と、前記半導体内に一導電型不純物をイオン注入して前記逆導電型ソース層と前記逆導電

型ドレイン層間に位置するチャネルを構成する一導電型の半導体層を形成する工程と、前記半導体上に第1のゲート酸化膜を介して第1のゲート電極を形成する工程とを具備したことを特徴とする。

## 【0017】

更に、前記低濃度の逆導電型ソース・ドレイン層の形成工程が、イオン注入法により前記ゲート電極下方に形成された半導体層に接するように形成することを特徴とする。

## 【0018】

更に言えば、前記低濃度の逆導電型ソース・ドレイン層の形成工程が、少なくともイオン注入法により前記ゲート電極下方に形成された前記半導体層に接するように前記半導体表層に浅く拡張形成することを特徴とする。

## 【0019】

以上のことから、従来のような厚いゲート酸化膜をエッチング除去する工程がなくなるため、素子分離膜が薄くなることによる素子分離能力の低下が抑止される。

## 【0020】

また、フォトレジスト膜を用いたエッチング時にシリコン基板が露出することがなくなるため、フォトレジスト膜によるシリコン基板の汚染を防止できる。

## 【0021】

## 【発明の実施の形態】

以下、本発明の半導体装置の製造方法に係る第1の実施形態について図面を参照しながら説明する。

## 【0022】

尚、以下の説明では、シリコン基板上に第1の酸化膜（厚いゲート酸化膜）と第2の酸化膜（薄いゲート酸化膜）から成る2種類の膜厚を有し、厚いゲート酸化膜上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜上に通常耐圧MOSトランジスタを形成して成る半導体装置の製造方法の一例を紹介する。

## 【0023】

先ず、既知のLOCOS技術によりシリコン基板1上に形成した酸化膜及びシ

リコン窒化膜をマスクにして、LOCOS膜から成る素子分離膜2をおよそ450nmの膜厚で形成する（図1（a）参照）。尚、本実施形態ではP型のシリコン基板1を用いて、以下説明するがN型のシリコン基板を用いた場合も、導電型が異なるだけで同様である。

【0024】

次に、前記酸化膜及びシリコン窒化膜を除去した後に、図1（b）に示すように前記素子分離膜2をマスクに熱酸化して前記基板1上に酸化膜3をおよそ20nmの膜厚で形成し、更に前記素子分離膜2及び前記酸化膜3を含む基板全面にシリコン窒化膜4をおよそ20nmの膜厚で形成する。

【0025】

続いて、図1（c）に示すように前記酸化膜3及びシリコン窒化膜4上の方（通常耐圧MOSトランジスタ形成領域）に形成したフォトレジスト膜5をマスクにして他方（高耐圧MOSトランジスタ形成領域）の酸化膜3上に形成した前記シリコン窒化膜4を除去する。

【0026】

尚、このフォトレジスト膜5を用いたエッチング工程では、基板表層が露出しないため、基板表層がフォトレジスト膜5の有機物等により汚染されがない。そして、基板表層を露出させる際には、次工程で説明するように前記フォトレジスト膜5を除去した後の前記シリコン窒化膜4をマスクにして行う。

【0027】

次に、図2（a）に示すように前記フォトレジスト膜5を除去した後に、図2（b）に示すように前記シリコン窒化膜4をマスクにして他方の酸化膜3を除去する。尚、この酸化膜3をエッチング除去する際に、素子分離膜2もエッチングされるが、上述したように当該酸化膜3の膜厚はおよそ20nm程度であるため、従来のように厚いゲート酸化膜103（例えば、100nm）をエッチング除去する場合に比して素子分離能力が劣化することはない（図2（b）の矢印A参照）。

【0028】

続いて、図2（c）に示すように前記シリコン窒化膜4をマスクに熱酸化して

前記基板1上に第1の酸化膜（厚いゲート酸化膜）6をおよそ90nm程度で形成する。

## 【0029】

更に、図3（a）に示すように前記通常耐圧MOSトランジスタ形成領域上のシリコン窒化膜4及び前記酸化膜3を除去した後に、図3（b）に示すように前記基板1を熱酸化して当該通常耐圧MOSトランジスタ形成領域上に第2の酸化膜（薄いゲート酸化膜）7をおよそ7nm程度で形成する。尚、この酸化膜3をエッティング除去する際に、前記素子分離膜2も再びエッティングされるが、このときも当該酸化膜3の膜厚がおよそ20nm程度であるため、エッティング除去される合計膜厚も40nm程度であり、従来のように厚いゲート酸化膜103（例えば、100nm）をエッティング除去した場合に比して素子分離能力が劣化することはない（図3（a）の矢印B参照）。

## 【0030】

更に、図3（c）に示すように前記厚いゲート酸化膜6及び薄いゲート酸化膜7上にゲート電極用の導電膜（例えば、ポリシリコン膜あるいはポリシリコン膜とタンゲステンシリサイド（WSix）膜との積層膜等）を形成した後に、当該導電膜をパターニングしてゲート電極8A、8Bを形成する。

## 【0031】

そして、前記ゲート電極8A、8Bに隣接するようにそれぞれN型の不純物領域（ソース・ドレイン領域9、10、11、12）を形成し、以下、図示した説明は省略するが、それらを被覆するように層間絶縁膜を形成した後に、前記ソース・ドレイン領域9、10、11、12にコンタクト孔を介してコンタクトする金属配線を形成することで、厚いゲート酸化膜6上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜7上に通常耐圧MOSトランジスタを形成している。尚、本実施形態では、N型の不純物としてリンイオン、そしてヒ素イオンをイオン注入することで、いわゆるLDD構造のソース・ドレイン領域を形成している。

## 【0032】

これにより、従来のような厚いゲート酸化膜をエッティング除去する工程がなく

なるため、素子分離膜が薄くなることによる素子分離能力の低下を抑止できる。

【0033】

また、フォトレジスト膜を用いたエッチング時にシリコン基板が露出することがなくなるため、シリコン基板が当該フォトレジスト膜の有機物等により汚染されることはなく、その後に形成されるゲート酸化膜の膜質の信頼性が向上する。

【0034】

以下、本発明の半導体装置の製造方法に係る第2の実施形態について図面を参照しながら説明する。尚、第2の実施形態は、表示ディスプレイ、例えばELディスプレイ駆動用ドライバを構成する各種MOSトランジスタの製造方法に関するものである。

【0035】

ここで、図16は本発明の半導体装置、即ちELディスプレイ駆動用ドライバは、図面(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフタ用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図面(b)の左側から同じく高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタ、本発明の低オン抵抗化が図られた高耐圧系の(例えば、30V)Nチャネル型DMOSトランジスタ及びPチャネル型DMOSトランジスタで構成される。

【0036】

尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED(Slit channel by counter doping with extended shallow drain)MOSトランジスタと呼称する。

【0037】

以下、上記ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタの製造方法について説明する。

【0038】

先ず、図4において、各種MOSトランジスタを構成するための領域を画定するに、一導電型の半導体基板、例えばP型のシリコン基板（P-Sub）21内にP型ウエル（PW）22及びN型ウエル（NW）23を形成する。

#### 【0039】

即ち、前記基板21のN型ウエル形成領域上をパッド酸化膜24を介して不図示のフォトレジスト膜で被覆した状態で、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。その後、図4に示すように前記P型ウエル22上をフォトレジスト膜25で被覆した状態で、例えばリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。尚、実際には前述したようにイオン注入された各イオン種が熱拡散（例えば、1150°CのN<sub>2</sub>雰囲気中で、4時間）されることで、P型ウエル22及びN型ウエル23となる。

#### 【0040】

次に、図5において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜26をLOCOS法により形成し、この素子分離膜26以外の活性領域上におよそ20nm程度の第3の酸化膜27（第3のゲート酸化膜を構成する。）を熱酸化により形成する。

#### 【0041】

続いて、全面に20nm程度のシリコン窒化膜を形成した後に、当該シリコン窒化膜をフォトレジスト膜29をマスクにパターニングして、前記ロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフタ用のNチャネル型MOSトランジスタの各形成領域上にシリコン窒化膜28を残膜させる。

#### 【0042】

尚、このフォトレジスト膜29を用いたエッチング工程では、基板表層が露出しないため、基板表層がフォトレジスト膜29の有機物等により汚染されることがない。そして、基板表層を露出させる際には、次工程で説明するように前記フォトレジスト膜29を除去した後の前記シリコン窒化膜28をマスクにして行う。

## 【0043】

更に、前記フォトレジスト膜29を除去した後に、シリコン窒化膜28をマスクに前記高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、Nチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタの各形成領域上の第3のゲート酸化膜27を除去する。

## 【0044】

尚、この酸化膜27をエッティング除去する際に、素子分離膜26もエッティングされるが、上述したように当該酸化膜27の膜厚はおよそ20nm程度であるため、従来のように厚いゲート酸化膜103（例えば、100nm）をエッティング除去する場合に比して素子分離能力が劣化することはない。

## 【0045】

そして、前記シリコン窒化膜28をマスクに熱酸化して、当該高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、Nチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタの各形成領域上に高耐圧用に、およそ80nm程度の厚い第1の酸化膜30（第1のゲート酸化膜を構成する。）を熱酸化により形成する（図6参照）。

## 【0046】

続いて、図7において、フォトレジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ドレイン層（以下、LN層31、LP層32と称す。）を形成する。即ち、先ず、不図示のフォトレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLN層31を形成する。その後、フォトレジスト膜33でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120KeVの加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLP層32を形成する。尚、実際には後工程のアニール工程（例えば、1100°CのN<sub>2</sub>雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層31及びLP層32となる。

## 【0047】

次に、図8において、フォトレジスト膜をマスクにして、前記Pチャネル型及びNチャネル型SLED MOSトランジスタの各形成領域上の前記LN層31間に及びLP層32間にそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下、SLN層34及びSLP層35と称す。）を形成する。即ち、先ず、不図示のフォトレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LN層31に連なるSLN層34を形成する。その後、フォトレジスト膜36でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140KeVの加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LP層32に連なるSLP層35を形成する。尚、前記LN層31と前記SLN層34または前記LP層32と前記SLP層35の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

## 【0048】

更に、図9において、フォトレジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層（以下、N+層37、P+層38と称す。）を形成する。即ち、先ず、不図示のフォトレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してN+層37を形成する。その後、フォトレジスト膜39でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してP+層38を形成する。

## 【0049】

次に、図10において、前記SLN層34及びSLP層35の形成用のマスク開口径（図8参照）よりも小さい開口径を有するフォトレジスト膜をマスクにして前記LN層31に連なるSLN層34の中央部及び前記LP層32に連なるSLP層35の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層34及びSLP層35を分断するP型ボディ層40及びN型ボディ層41を形成する。即ち、先ず、不図示のフォトレジスト膜でP型層形成領域上以外

の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してP型ボディ層40を形成する。その後、フォトレジスト膜42でN型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ190KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型ボディ層41を形成する。尚、上記図8～図10に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記P型ボディ層40及びN型ボディ層41の表層部にチャネルが構成される。

## 【0050】

続いて、図11において、前記フォトレジスト膜42及びシリコン窒化膜28を除去する。

## 【0051】

更に、図12において、前記通常耐圧用の微細化Nチャネル型及びPチャネル型MOSトランジスタ形成領域の基板（P型ウエル22）内に第2のP型ウエル（SPW）44及び第2のN型ウエル（SNW）45を形成する。

## 【0052】

即ち、前記通常耐圧のNチャネル型MOSトランジスタ形成領域上に開口を有する不図示のフォトレジスト膜をマスクにして前記P型ウエル22内に、例えばボロンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル44を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成領域上に開口を有するフォトレジスト膜46をマスクにして前記P型ウエル22内に例えばリンイオンをおよそ380KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル45を形成する。尚、380KeV程度の高加速電圧発生装置が無い場合には、2価のリンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ140KeVの加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

## 【0053】

次に、図13において、フォトレジスト膜47をマスクにして通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上の前記第3の酸化膜27を除去した後に、図14において、この領域上に新たに所望の膜厚（およそ7nm程度）の第2の酸化膜（第2のゲート酸化膜を構成する。）48を熱酸化により形成する。

## 【0054】

尚、この酸化膜27をエッティング除去する際に、前記素子分離膜26も再びエッティングされるが、このときも当該酸化膜27の膜厚がおよそ20nm程度であるため、従来のように厚いゲート酸化膜103（例えば、100nm）をエッティング除去した場合に比して素子分離能力が劣化することはない。即ち、素子分離膜26がエッティング除去される合計膜厚は、高耐圧領域も通常耐圧領域も20nm程度であり、素子分離膜26の膜厚450nmに比して十分に薄いため、従来のように通常耐圧領域で素子分離能力が劣化することはない。

## 【0055】

これにより、前記高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、Nチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタの各トランジスタに対応する膜厚を有する第1の酸化膜30と、ロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタの各トランジスタに対応する膜厚を有する第2の酸化膜48と、レベルシフタ用のNチャネル型MOSトランジスタに対応する膜厚を有する第3の酸化膜27とが形成される（図14参照）。そして、当該第1、第2、第3の各酸化膜が各トランジスタの第1、第2、第3のゲート酸化膜を構成する。

## 【0056】

続いて、図14において、全面におよそ100nm程度のポリシリコン膜を形成し、このポリシリコン膜にPOCl<sub>3</sub>を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ100nm程度のタンゲステンシリサイド（WSix）膜、更にはおよそ150nm程度のSiO<sub>2</sub>膜を積層し、不図示のフ

オトレジスト膜を用いてパターニングして各MOSトランジスタ用のゲート電極49A, 49B, 49C, 49D, 49E, 49F, 49Gを形成する。尚、前記SiO<sub>2</sub>膜は、パターニング時のハードマスクとして働く。

#### 【0057】

続いて、図15において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層50, 51を形成する。

#### 【0058】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のフォトレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $6.2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のN-型ソース・ドレイン層50を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するフォトレジスト膜52をマスクにして、例えばニフッ化ボロンイオンをおよそ20KeVの加速電圧で、 $2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のP-型ソース・ドレイン層51を形成する。

#### 【0059】

更に、図16において、全面に前記ゲート電極49A, 49B, 49C, 49D, 49E, 49F, 49Gを被覆するようにおよそ250nm程度のTEOS膜53をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するフォトレジスト膜（図示省略）をマスクにして前記TEOS膜53を異方性エッチングする。これにより、図16に示すように前記ゲート電極49A, 49Bの両側壁部にサイドウォールスペーサ膜53Aが形成され、前記フォトレジスト膜で被覆された領域にはTEOS膜53がそのまま残る。

#### 【0060】

そして、前記ゲート電極49Aとサイドウォールスペーサ膜53A並びに、前記ゲート電極49Bとサイドウォールスペーサ膜53Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソ-

ス・ドレイン層54, 55を形成する。

【0061】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のフォトレジスト膜をマスクにして、例えばヒ素イオンをおよそ100KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層54を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆するフォトレジスト膜56をマスクにして、例えばニフッ化ボロンイオンをおよそ40KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層55を形成する。

【0062】

以下、図示した説明は省略するが、全面にTEOS膜及びBPSG膜等からなるおよそ600nm程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層37, 38, 54, 55にコンタクトする金属配線層を形成することで、前記ELディスプレイ駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフタ用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オノ抵抗化が図られた高耐圧用のNチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタが完成する。

【0063】

以上のように第2の実施形態では、各種MOSトランジスタを用いてELディスプレイ駆動用ドライバを構成する場合に、各トランジスタに対応して膜厚の異なるゲート酸化膜を形成（本実施形態では7nm、20nm、そして80nmまでの異なる膜厚を有するトランジスタを構成）する必要があり、従来プロセスに基づいた膜厚の異なるゲート酸化膜を作り分けるものに比べて、素子分離膜膜厚の目減りによる素子分離能力の低減を抑止できる。更に言えば、本発明はより膜厚差の大きい各種トランジスタを混載した半導体装置を形成するプロセスに適用

されることで、更なる効果が期待できる。

【0064】

また、上記SLED MOSトランジスタでは、P型ボディ層あるいはN型ボディ層をゲート電極下にのみ形成したため、いわゆるDMOSトランジスタのようなP型ボディ層あるいはN型ボディ層で高濃度のソース層を包み込むものに比して接合容量の低減化が図れる。

【0065】

また、上記構造ではP型ボディ層あるいはN型ボディ層をイオン注入で形成しているため、従来のDMOSプロセスのような拡散形成したものに比して微細化が可能になる。

【0066】

更に、上記製造方法によれば、従来のDMOSプロセスのようなボディ層形成のためのゲート電極形成後における高温熱処理が必要なくなるため、微細化プロセスとの混載が可能になる。

【0067】

また、従来のDMOSトランジスタのような不純物イオンの熱拡散によるチャネル形成方法では、チャネル長が一義的に決まってしまっていたが、上記SLED MOSトランジスタの製造方法では、上述したようにP型ボディ層あるいはN型ボディ層をイオン注入工程を経て形成しているため、各種設定可能となり、従来方法に比してゲート長に対する設計上の自由度が大きくなる。

【0068】

尚、ボディ領域の形成はイオン注入法によるのが望ましいが、他の工程については、気相あるいは固相からの拡散など、適宜変更可能である。

【0069】

また、従来のようにDMOSプロセスのようなボディ層形成のためのゲート電極形成後における高温熱処理が必要なくなるため、微細化プロセスとの混載が可能になり、各種表示素子のドライバ（例えば、ELディスプレイ表示用ドライバ）とコントローラとの1チップ化が可能になる。

【0070】

更に、本発明の製造方法によれば、高耐圧MOSトランジスタと低オン抵抗化が図られた高耐圧SLED MOSトランジスタとをチャネルを構成する各導電型のボディ層形成用のイオン注入工程を行うか否かにより作り分けることができ、作業性が良い。

【0071】

【発明の効果】

本発明によれば、従来のような厚いゲート酸化膜をエッティング除去する工程がなくなるため、素子分離膜が薄くなることによる素子分離能力の低下を抑止することができる。

【0072】

また、フォトレジスト膜を用いたエッティング時にシリコン基板が露出することが少なくなるため、シリコン基板の汚染を低減でき、当該シリコン基板上に形成するゲート酸化膜の膜質が向上する。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の第1の実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の第1の実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図9】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図10】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図11】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図12】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図13】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図14】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図15】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図16】

本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。

【図17】

従来の半導体装置の製造方法を示す断面図である。

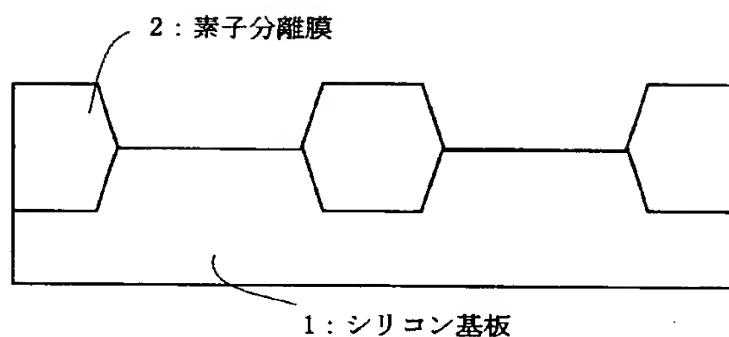
【図18】

従来の半導体装置の製造方法を示す断面図である。

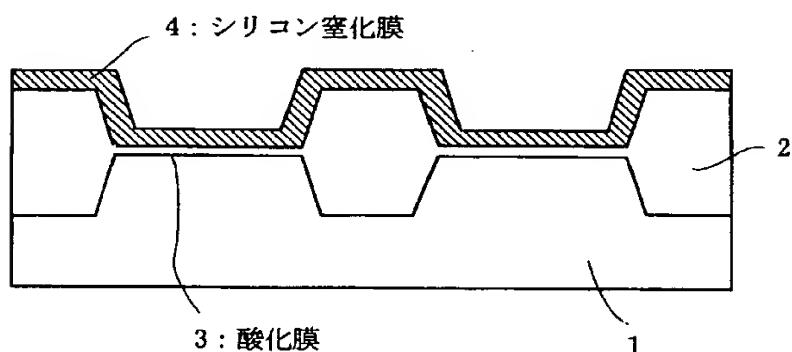
【書類名】 図面

【図1】

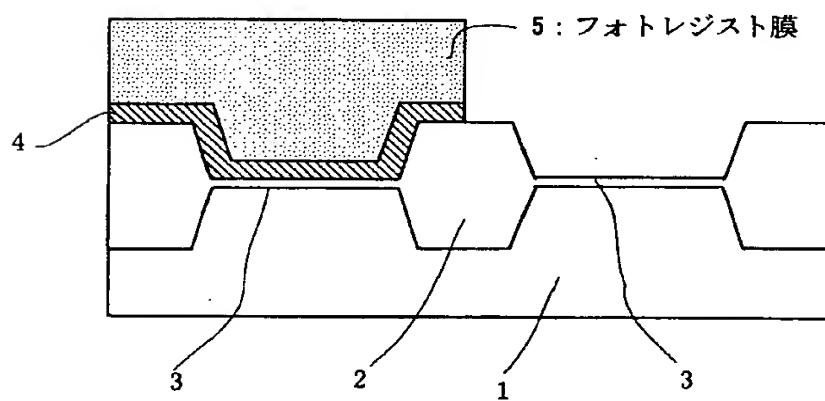
(a)



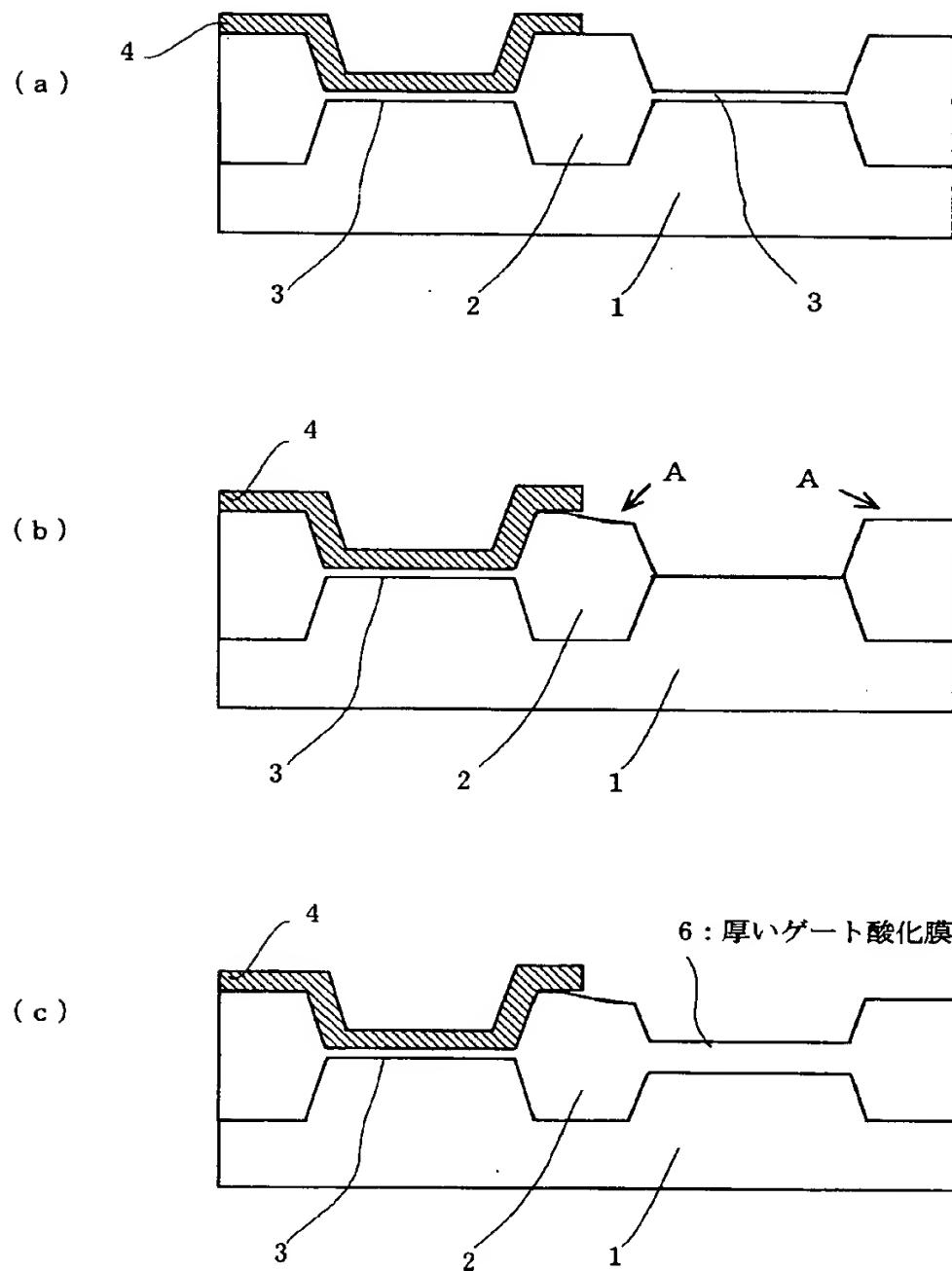
(b)



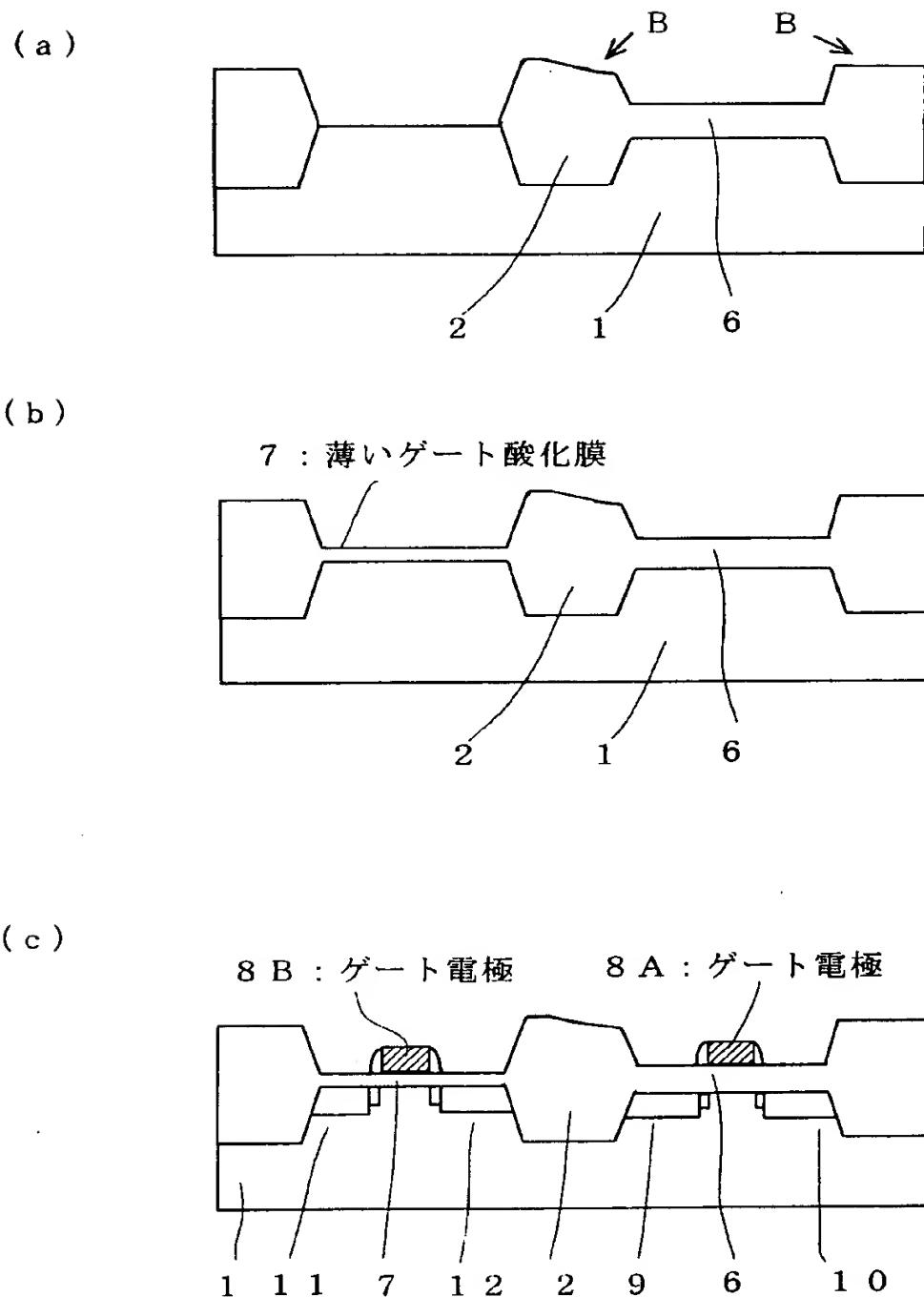
(c)



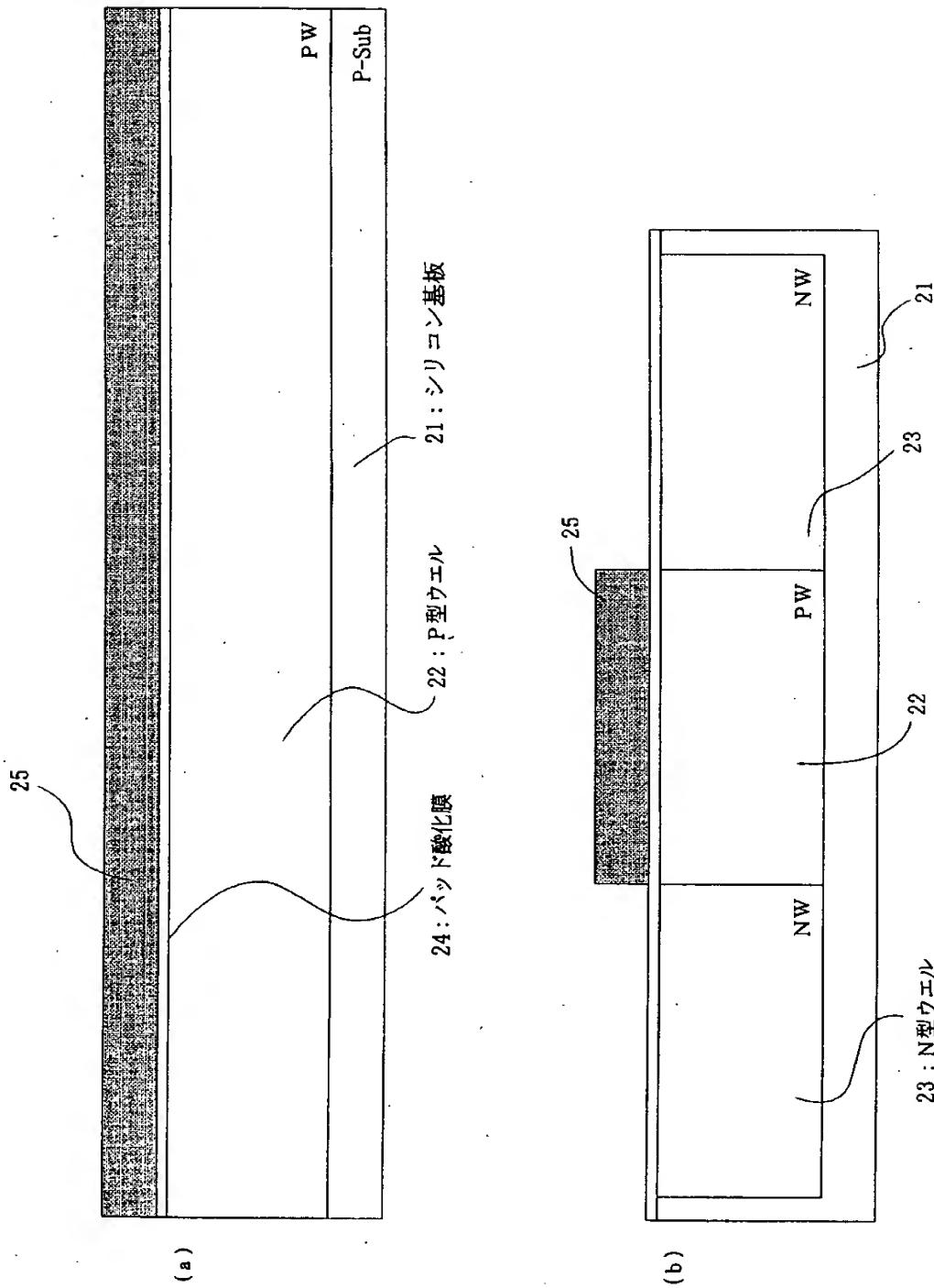
【図2】



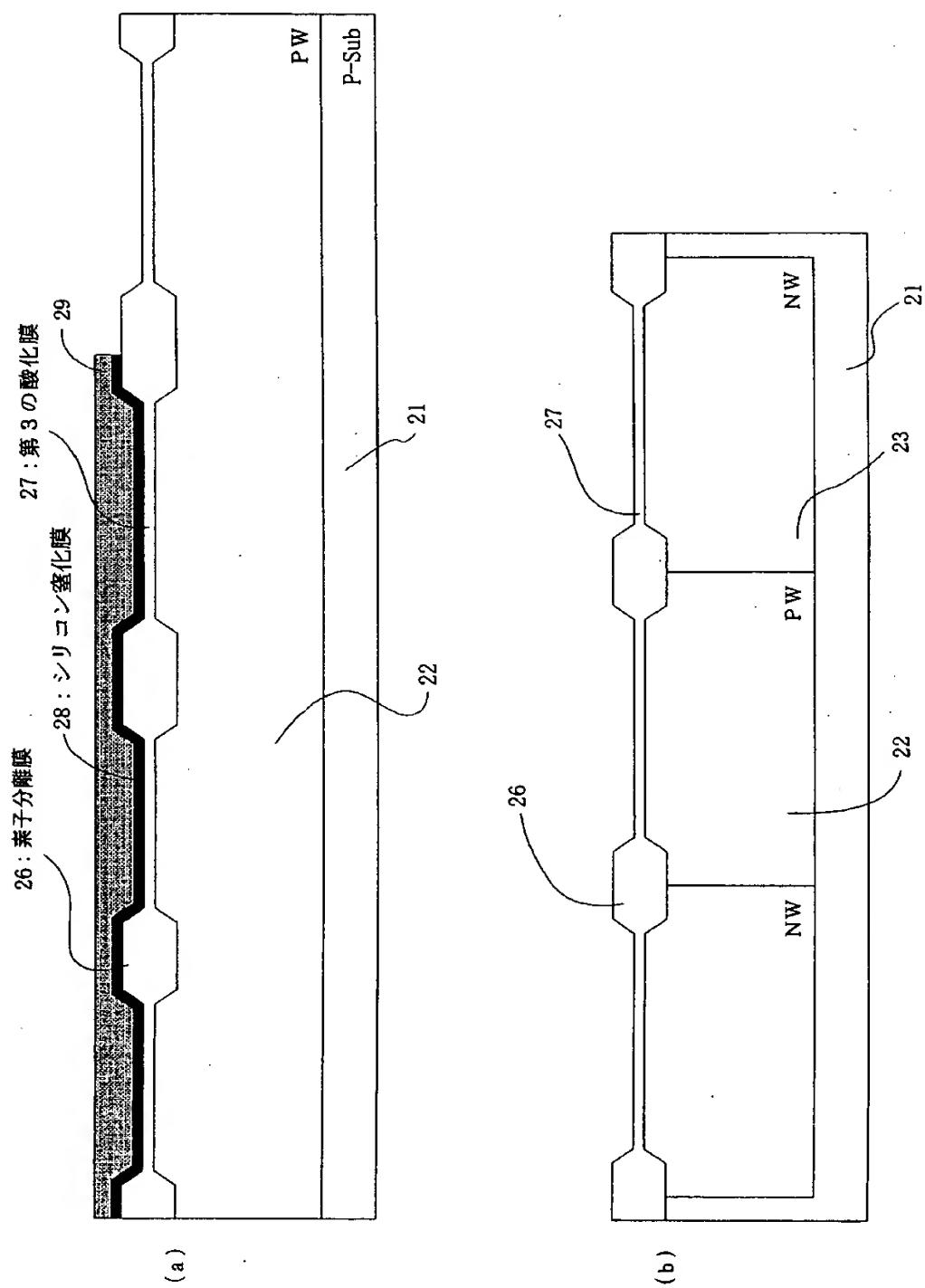
【図3】



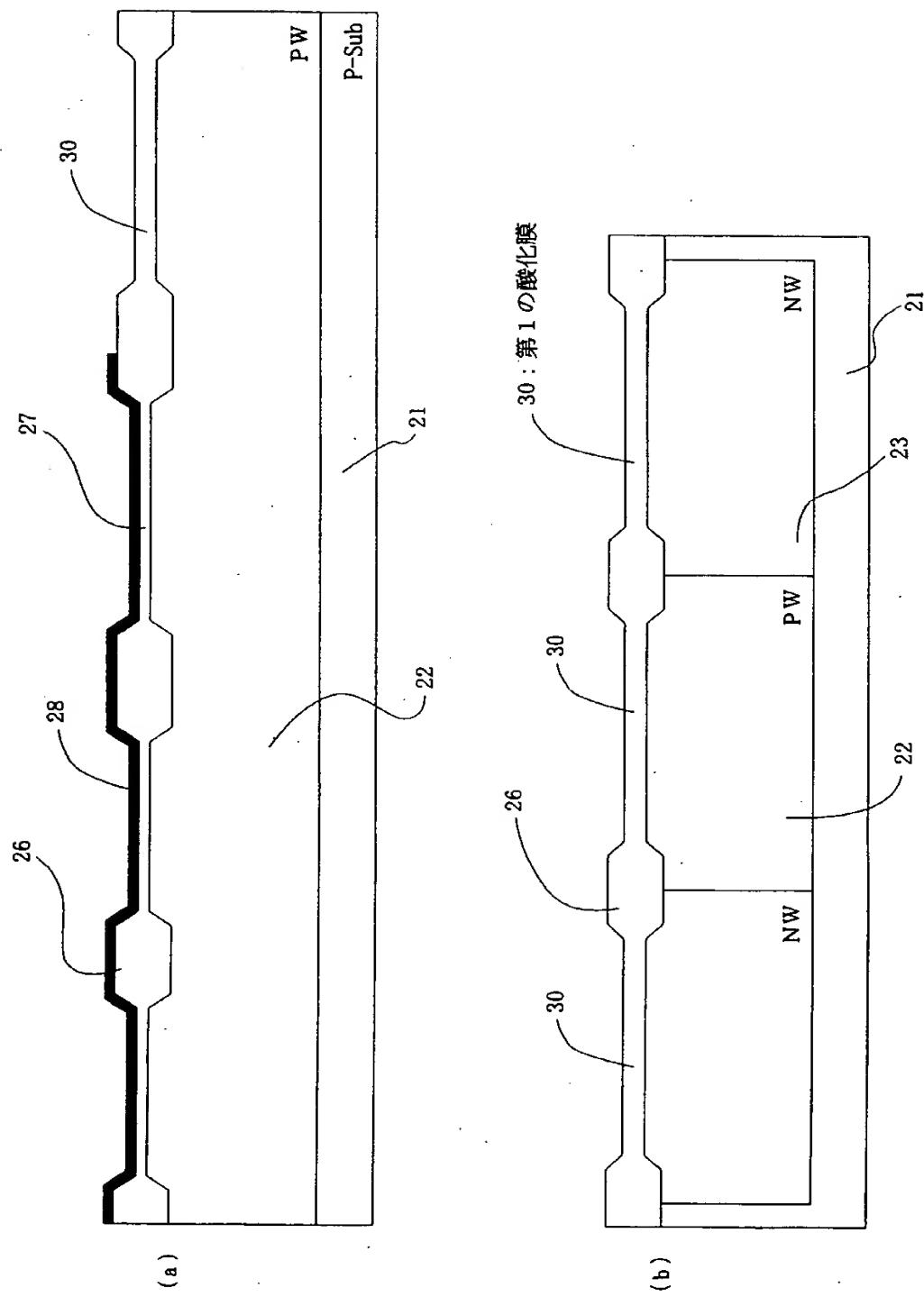
【図4】



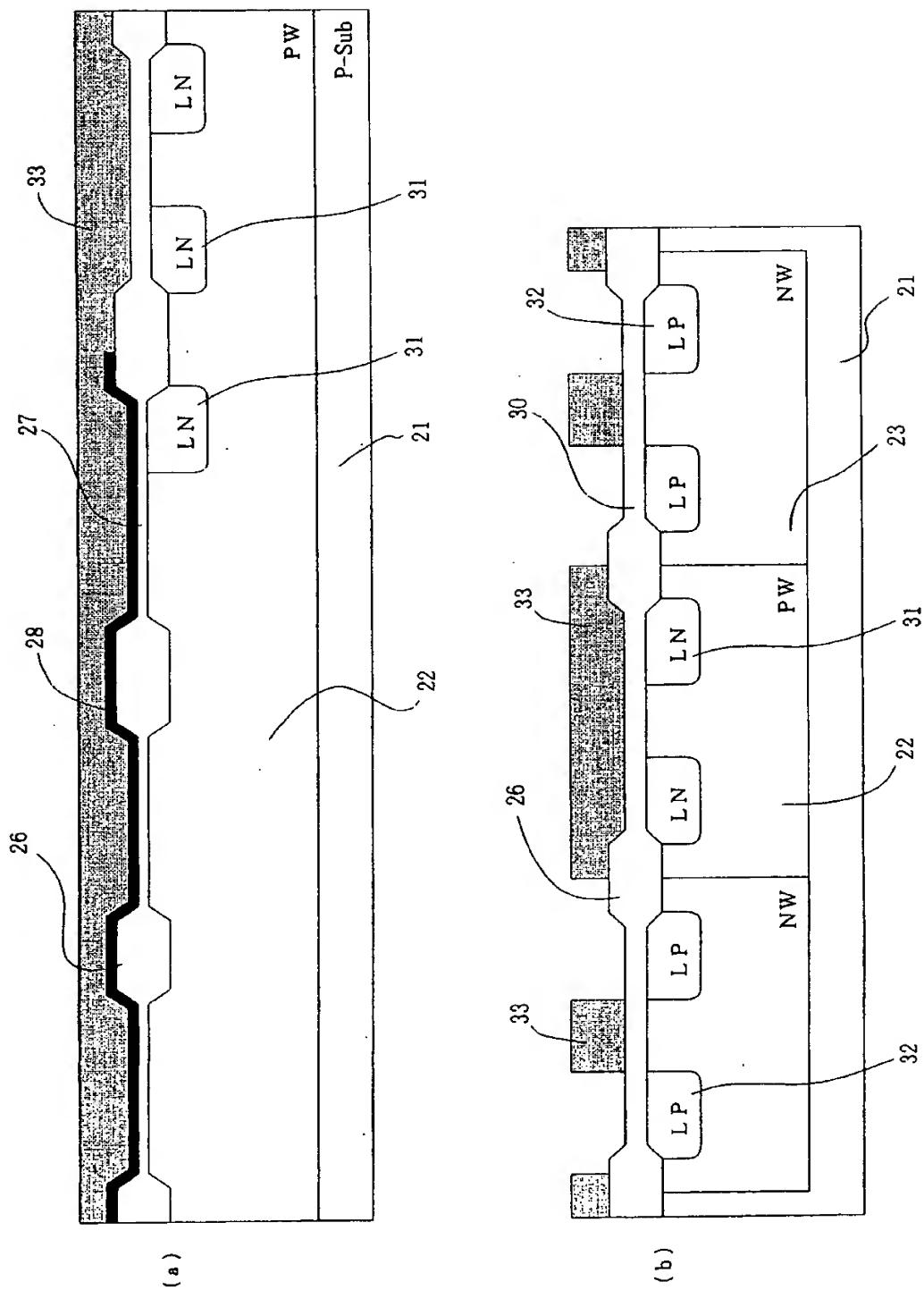
【図5】



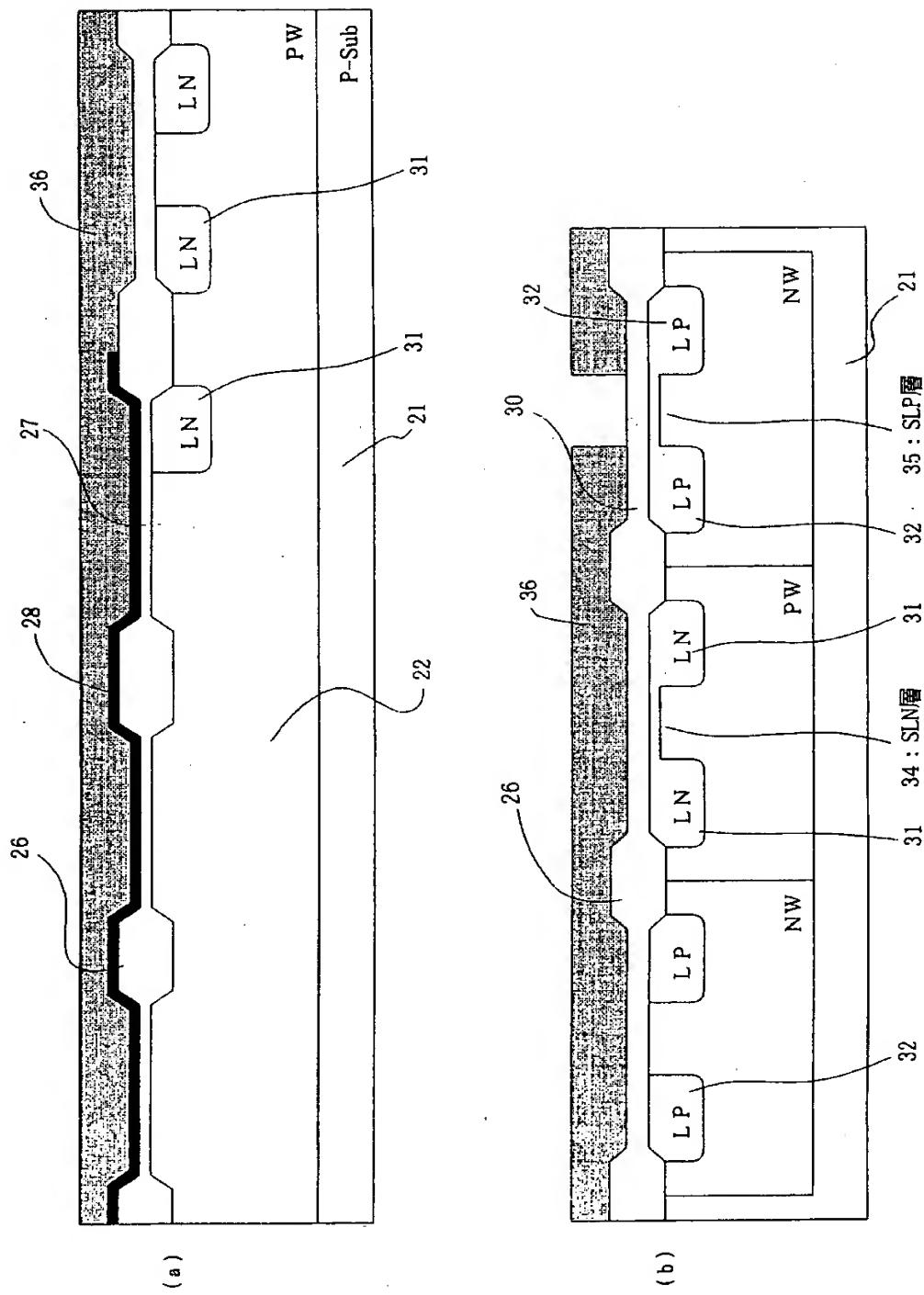
【図6】



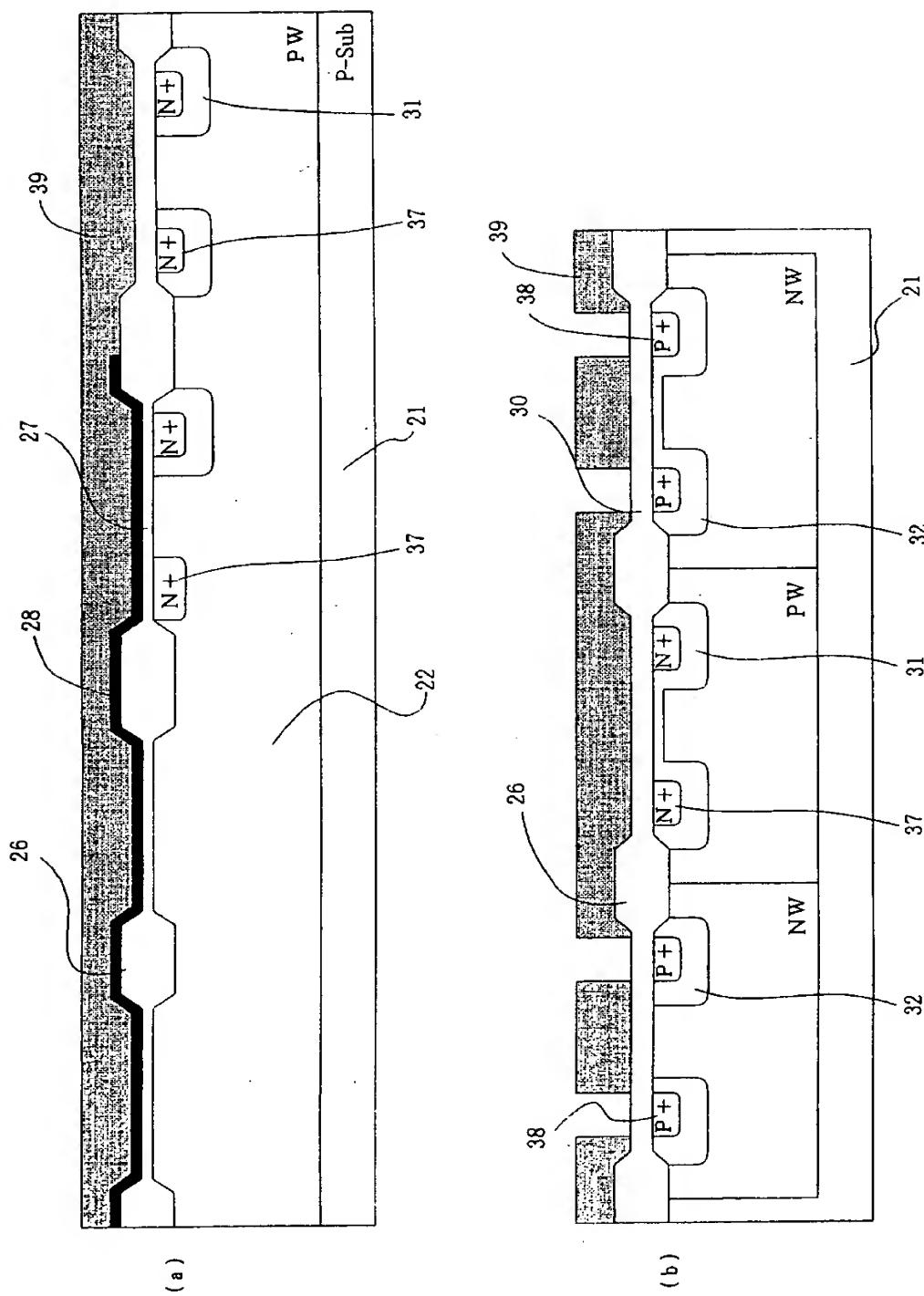
【図7】



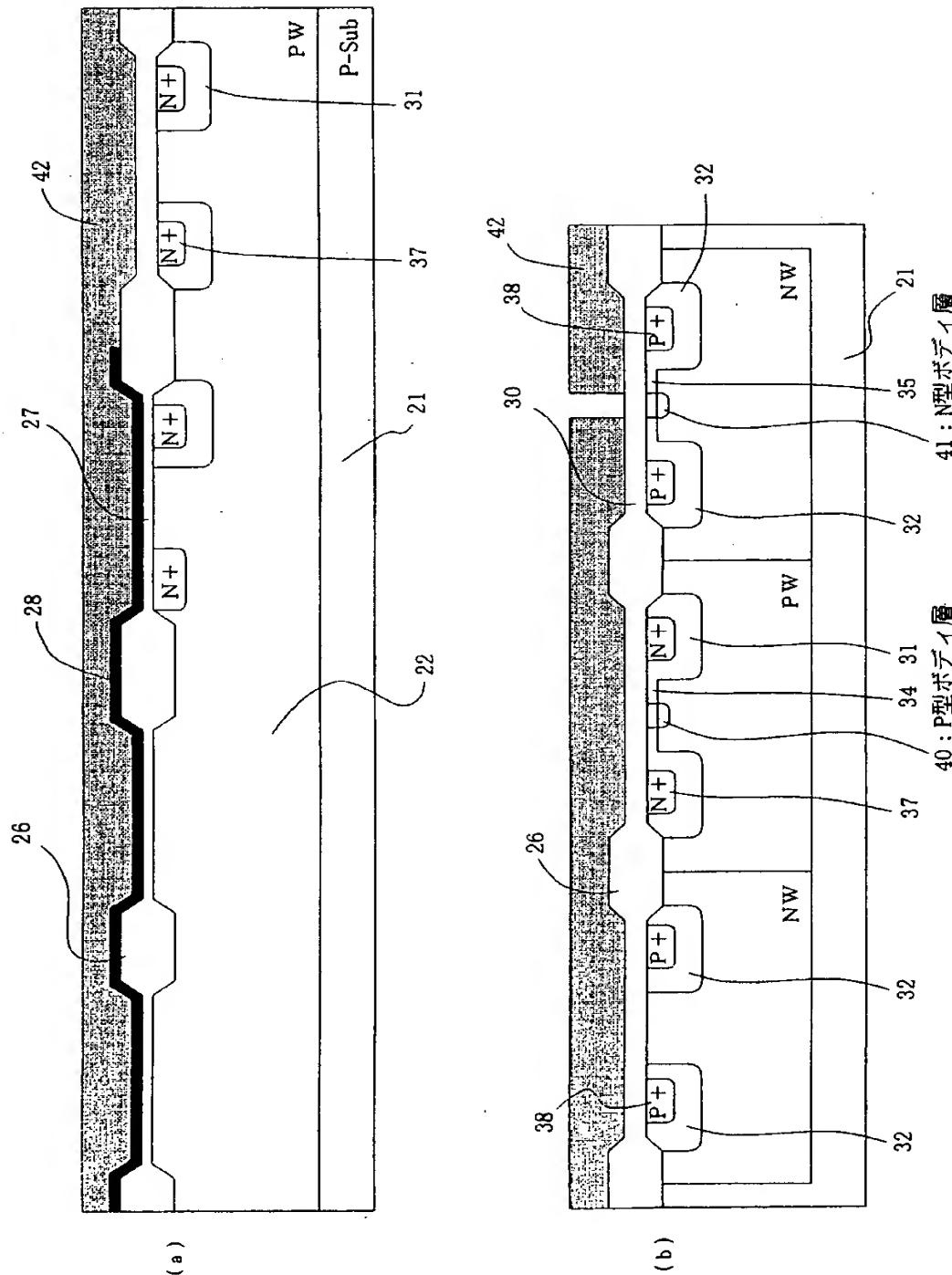
【図8】



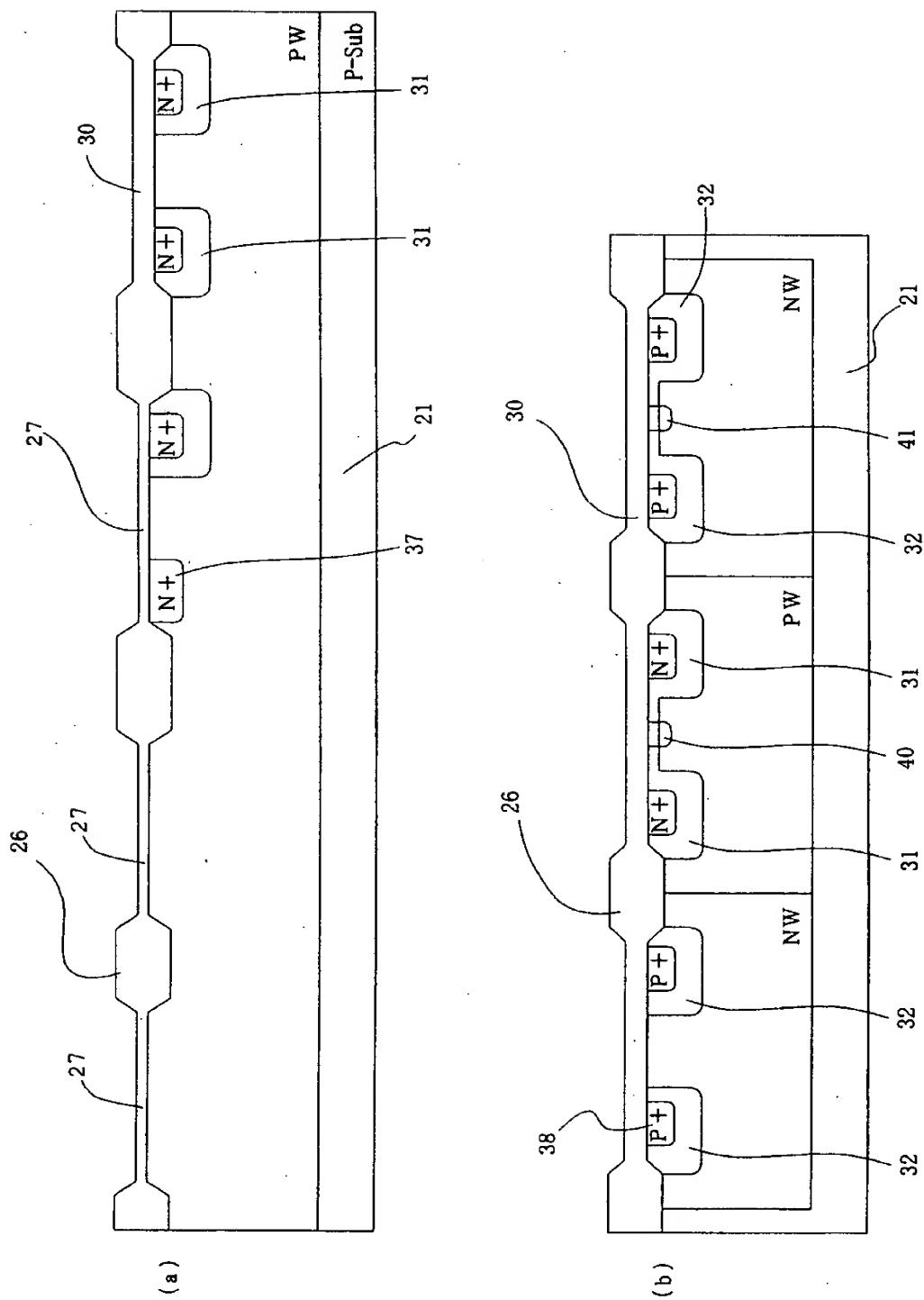
【図9】



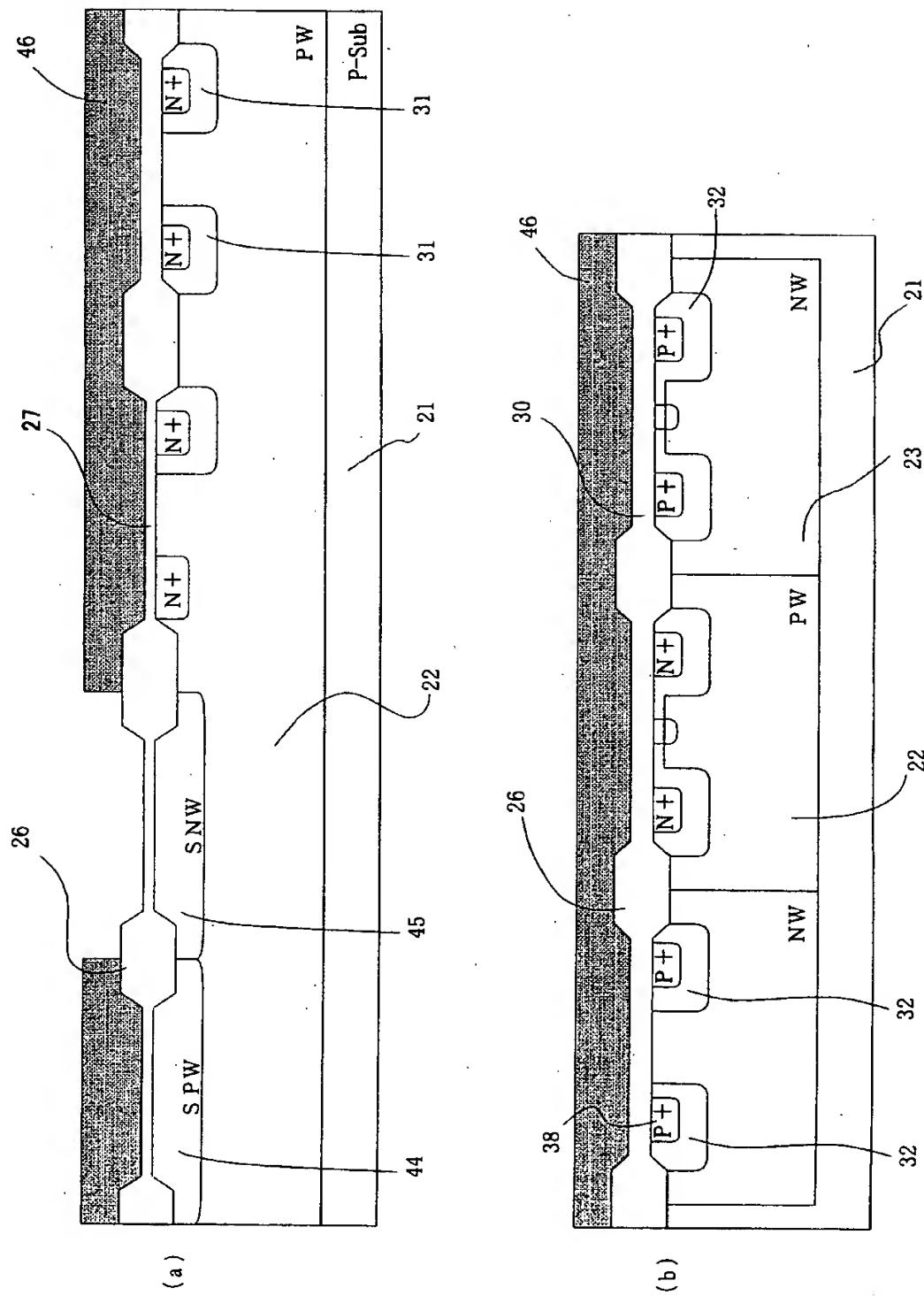
【図10】



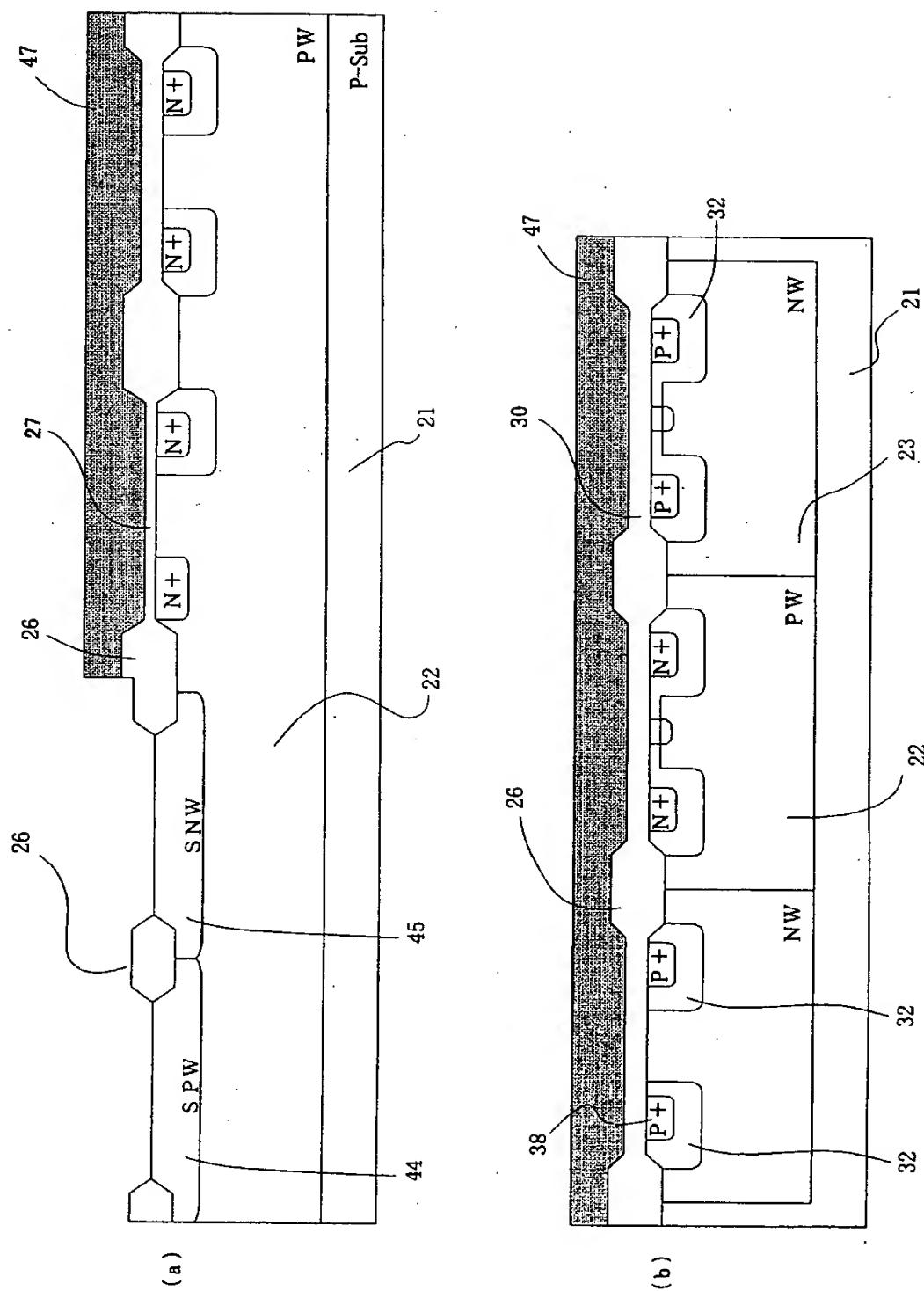
【図11】



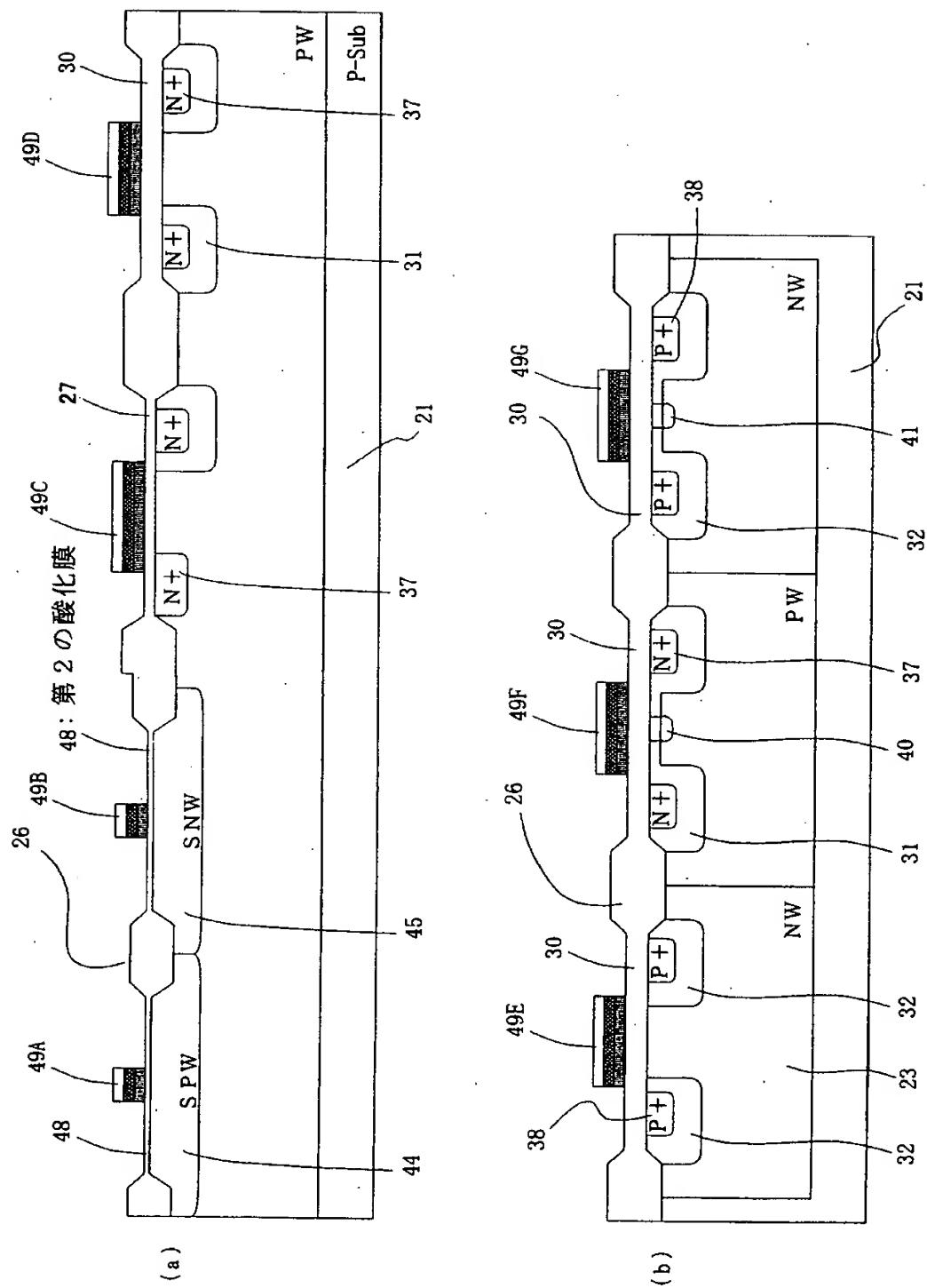
【図12】



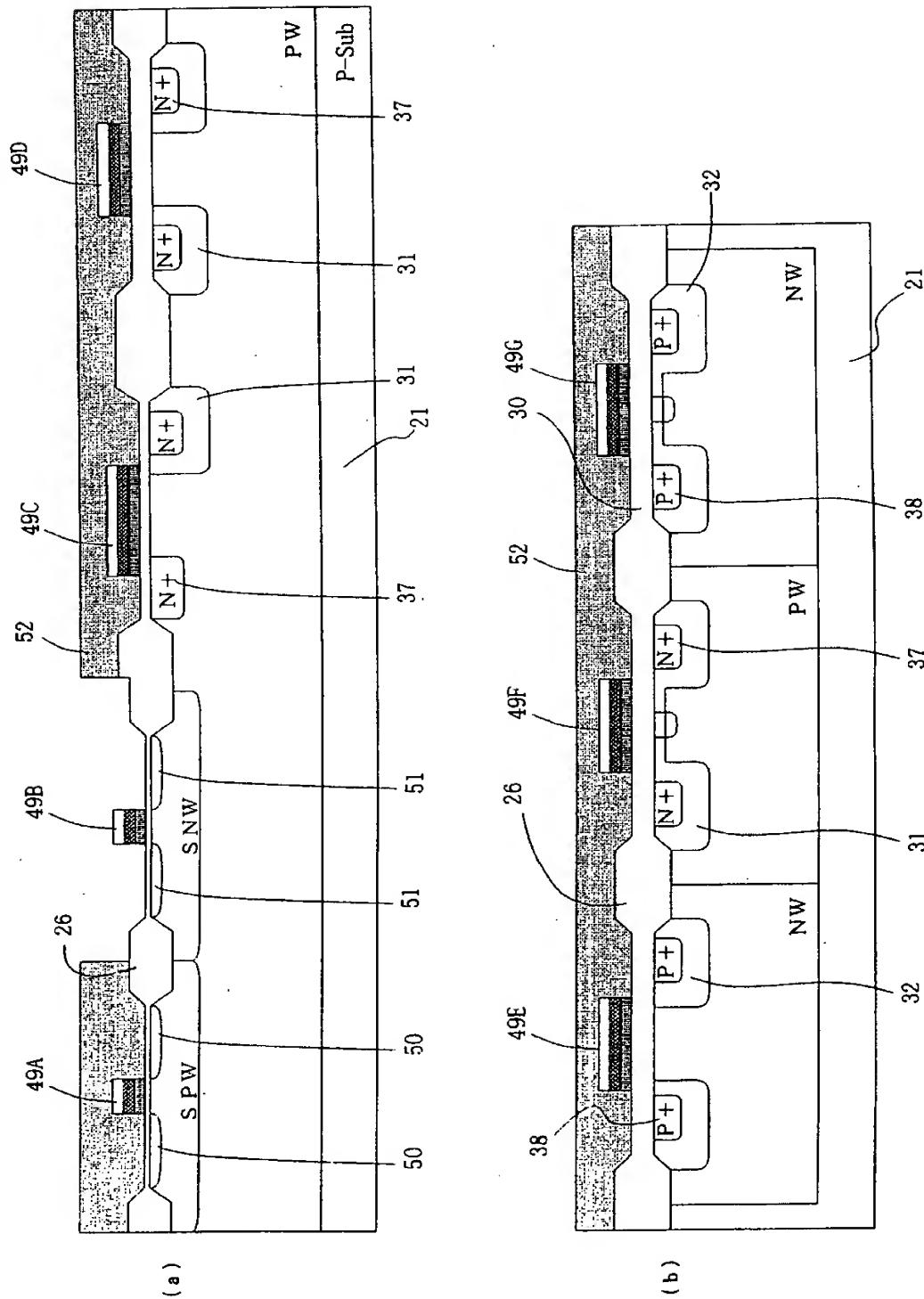
### 【図13】



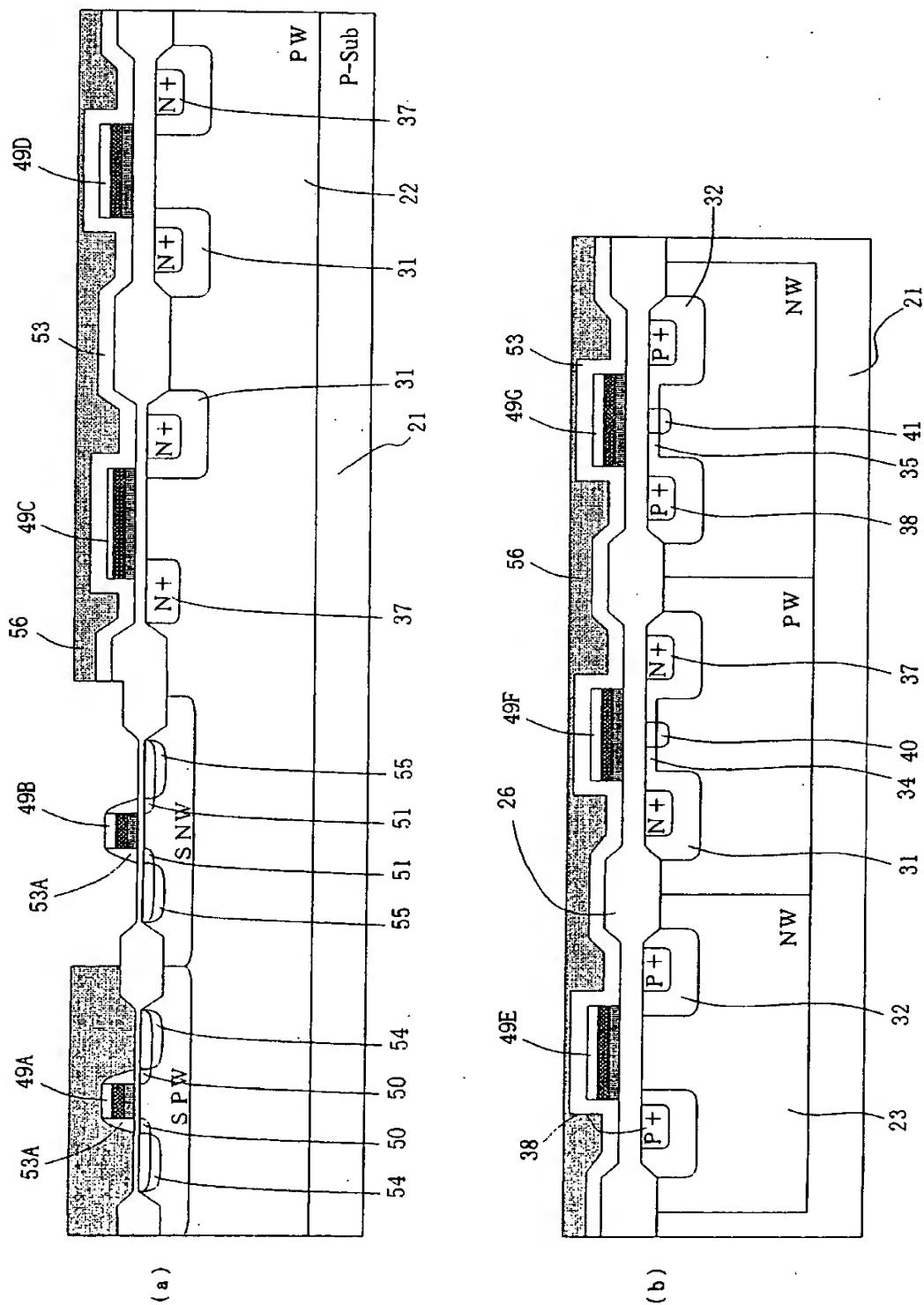
【図14】



【図15】

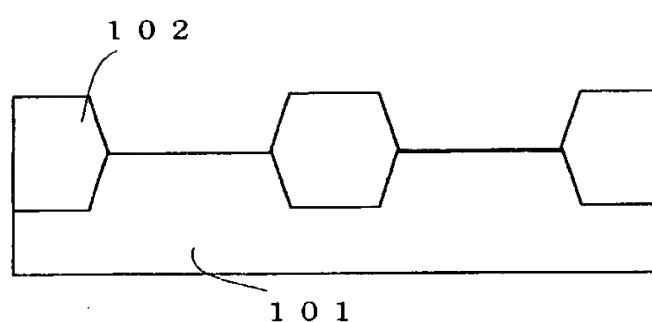


【図16】

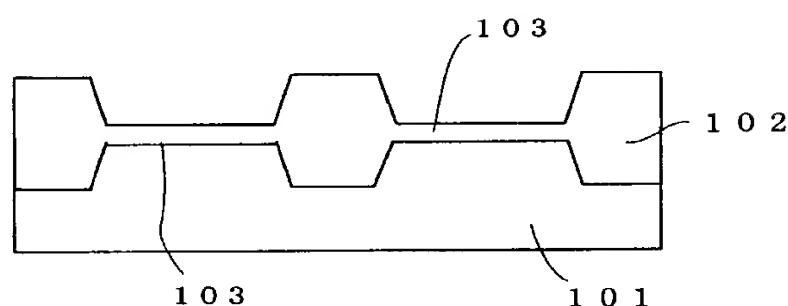


【図17】

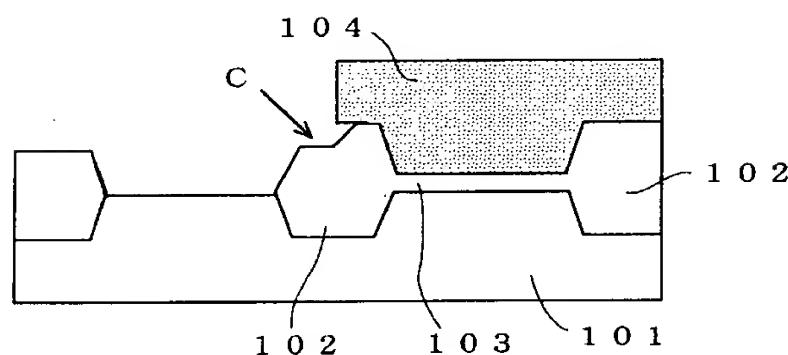
(a)



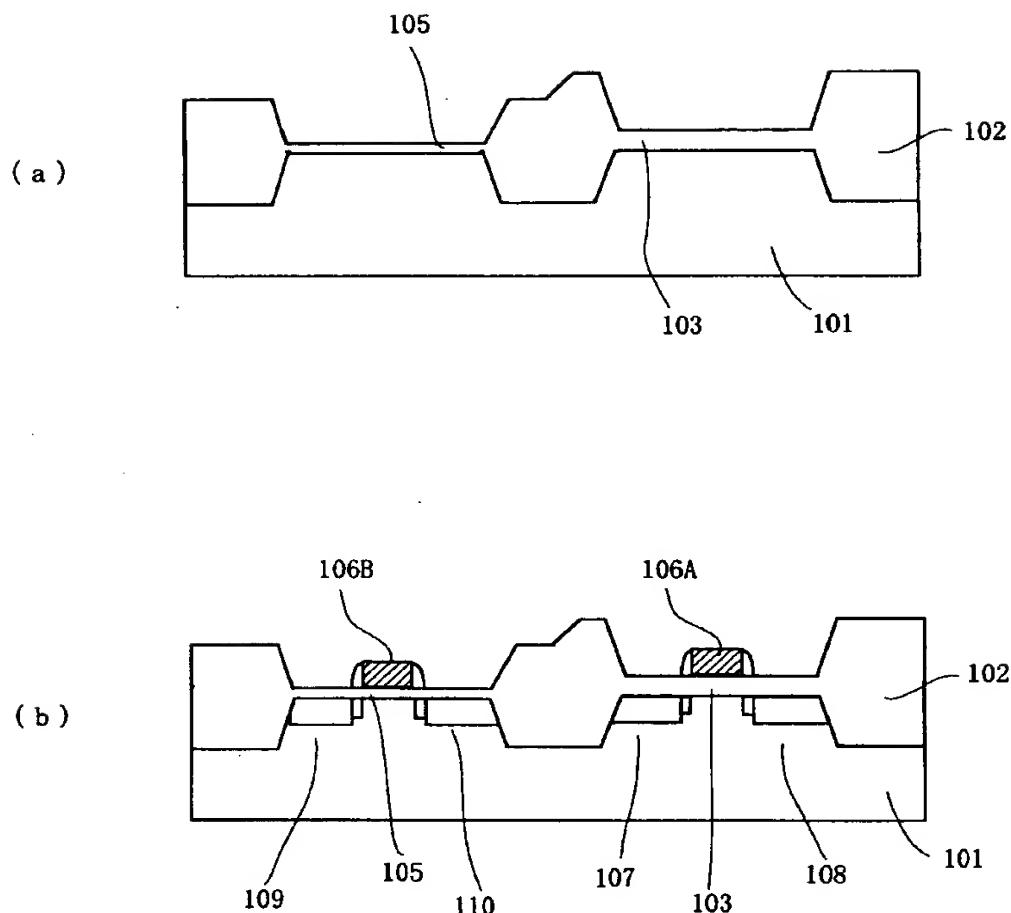
(b)



(c)



【図18】



【書類名】 要約書

【要約】

【課題】 膜厚の異なるゲート酸化膜を形成する。

【解決手段】 シリコン基板1上に異なる膜厚を有する第1及び第2の酸化膜6, 7を形成する半導体装置の製造方法において、第2の酸化膜形成領域上にシリコン窒化膜4を形成した後に、第1の酸化膜形成領域上に第1の酸化膜6を形成する工程と、前記シリコン窒化膜4を除去した後に、前記第2の酸化膜形成領域上に第2の酸化膜7を形成する工程とを具備したことを特徴とする。

【選択図】 図3

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社